

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-147581

(43)公開日 平成9年(1997)6月6日

(51)Int.Cl.<sup>9</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 16/06

G 1 1 C 17/00

5 1 0 Z

審査請求 未請求 請求項の数4 F D (全 10 頁)

(21)出願番号 特願平7-326462

(22)出願日 平成7年(1995)11月21日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(72)発明者 麻生 卓司

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(74)代理人 弁理士 玉村 静世

最終頁に続く

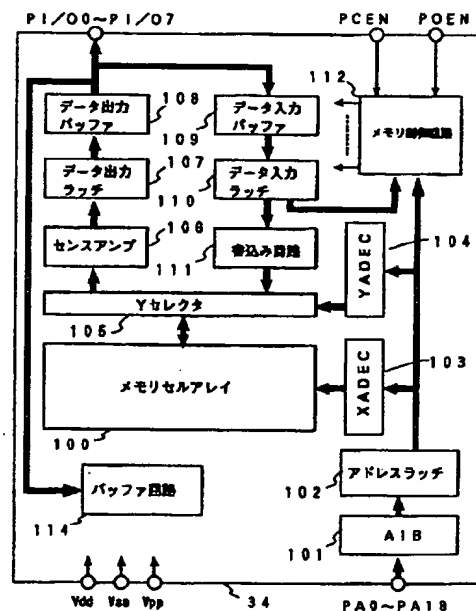
(54)【発明の名称】 半導体記憶装置、及びデータ処理装置

(57)【要約】

【課題】 フラッシュメモリの記憶情報の一部を書き換える場合のバス占有時間を短縮する。

【解決手段】 メモリセルアレイ100の一括消去単位に相当するデータ記憶容量を少なくとも有するバッファ回路114と、書き換えコマンド、及び部分的な書き換えのためのアドレス信号及び書き換え用データの入力により、一括消去単位データを上記バッファ回路114に転送して、書き換え用データに基づくデータ書き換えを行い、それを上記メモリセルアレイ100に書き戻すためのメモリ制御回路112とを設け、記憶情報の一部書き換えを内部処理で行うことで、バス占有時間の短縮を図る。

【図1】



FH 009012

## 【特許請求の範囲】

【請求項1】 複数のフラッシュメモリセルを配列して成るメモリセルアレイを有し、上記メモリセルアレイの記憶情報を所定の消去単位で一括消去可能な半導体記憶装置において、

上記メモリセルアレイの一括消去単位に相当するデータ記憶容量を少なくとも有する記憶手段と、

外部からの書き換え専用コマンドの入力により、上記メモリセルアレイの書き換えにかかるデータを含む一括消去単位のデータを上記記憶手段に転送して、その記憶手段内で上記書き換え用データに基づく書き換えを行い、それを上記メモリセルアレイに書き戻すための制御手段と、

を含むことを特徴とする半導体記憶装置。

【請求項2】 複数のフラッシュメモリセルを配列して成るメモリセルアレイを有し、上記メモリセルアレイの記憶情報を所定の消去単位で一括消去可能な半導体記憶装置において、

入力される書き換え用データに基づいて、メモリセルアレイの書き換えを要しない部分に対応するデータをマスク可能なマスクデータを記憶するための第1バッファと、

上記メモリセルアレイの書き換えにかかるデータを含む一括消去単位データを待避するための第2バッファと、外部からの書き換え専用コマンドの入力に基づいて、上記第1バッファ内のマスクデータを参照して上記メモリセルアレイから上記第2バッファへのデータ待避を行い、上記メモリセルアレイの消去後に、上記第2バッファ内のデータを上記メモリセルアレイに書き戻すための制御手段と、

を含むことを特徴とする半導体記憶装置。

【請求項3】 複数のフラッシュメモリセルを配列して成るメモリセルアレイを有し、上記メモリセルアレイの記憶情報を所定の消去単位で一括消去可能な半導体記憶装置において、

上記メモリセルアレイの一括消去単位に相当するデータ記憶容量を少なくとも有するアレイ部と、

外部からの書き換え専用コマンドの入力に基づいて、書き換え用データと、メモリセルアレイの対応データとを比較し、その比較結果に基づいて、メモリセルアレイからの待避データに書き換え用データを反映させて上記アレイ部に書き込み、上記メモリセルアレイの消去後に、上記アレイ部のデータを、上記メモリセルアレイに書き戻すための制御手段と、

を含むことを特徴とする半導体記憶装置。

【請求項4】 請求項1乃至3のいずれか1項記載の半導体記憶装置と、それをアクセス可能な中央処理装置とを含んで成るデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置、さらには複数のフラッシュメモリセルをアレイ状に配列して成るフラッシュメモリのデータ書き換え技術に関し、例えば、コンピュータシステムなどのデータ処理装置に適用して有効な技術に関する。

【0002】

【従来の技術】特開平2-289997号には一括消去型EEPROM（エレクトリカル・イレーザブル・アンド・プログラマブル・リード・オンリ・メモリ）について記載されている。この一括消去型EEPROMは、本明細書におけるフラッシュメモリと同意義に把握することができる。フラッシュメモリは、電気的な消去・書き込みによって情報を書き換え可能であって、EPROM（エレクトリカル・プログラマブル・リード・オンリ・メモリ）と同様に、そのメモリセルを1個のトランジスタで構成することができ、メモリセルの全てを一括して、又はメモリセルのブロックを一括して電気的に消去する機能を持つ。従って、フラッシュメモリは、システムに実装された状態でその記憶情報を書き換えることができると共に、その一括消去機能により書き換え時間の短縮を図ることができ、さらに、チップ占有面積の低減にも寄与する。

【0003】

【発明が解決しようとする課題】フラッシュメモリをシステムに搭載した状態で、その記憶情報の一部を書き換えるような場合、特に一括消去単位よりも小さなデータだけを書き換えたい場合であっても、フラッシュメモリでは消去単位で一括消去が行われ、実質的に書き換えを要しない情報までも消去の対象とされてしまうため、書き換え前において内部で保持している情報も重ねて外部から転送されなければならない、部分的な書き換のための情報転送に無駄がある。例えばコンピュータシステムなどのデータ処理装置において、フラッシュメモリのアドレス入力端子、データ入出力端子がそれぞれアドレスバス、データバスに結合されている場合には、上記部分的な書き換えのために、書き換え前に内部で保持している情報をフラッシュメモリの外部に待避しておいて、その情報も重ねて上記データバスを介してフラッシュメモリの内部に取込まなければならないし、その場合の書き込みアドレス信号をも上記アドレスバスを介してフラッシュメモリの内部に取込まなければならないため、部分的な書き換えであるにもかかわらず、どうしても上記データバスやアドレスバスの占有時間が長くなってしまふ。

【0004】しかも、フラッシュメモリの部分的な書き換えの際の読み出し動作、消去動作、書き込み動作などの指示は、コンピュータシステムの中核とされるCPU（中央処理装置）から発行されるコマンドによるため、上記フラッシュメモリの部分的な書き換えにおいて、読み出しコマンド、消去コマンド、書き込みコマンドを、それぞれ個別にCPUからフラッシュメモリに与える

必要があり、そのためにCPUの負荷が大きくなる。

【0005】本発明の目的は、フラッシュメモリをシステムに搭載した状態で、その記憶情報の一部を書き換える場合のバス占有時間の短縮を図るための技術を提供することにある。

【0006】本発明の別の目的は、フラッシュメモリをシステムに搭載した状態で、その記憶情報の一部を書き換える場合のCPUの負荷軽減を図るための技術を適用することにある。

【0007】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0009】すなわち、複数のフラッシュメモリセルを配列して成るメモリセルアレイの一括消去単位に相当するデータ記憶容量を少なくとも有する記憶手段(114)を設け、外部からの書き換え専用コマンドの入力により、書き換えにかかるデータを含む一括消去単位のデータを上記記憶手段に転送して、その記憶手段内で上記書き換え用データに基づくデータ書き換えを行い、それを上記メモリセルアレイに書き戻すための制御手段(112)を設け、メモリセルアレイの記憶情報の一部書き換えのための処理をフラッシュメモリの内部処理に委ねることにより、フラッシュメモリの外部に設けられたバスの占有時間の短縮、及びCPUの負荷軽減を達成する。

【0010】

【発明の実施の形態】図5には本発明の一実施例であるフラッシュメモリを含むコンピュータシステムが示される。

【0011】図5に示されるコンピュータシステムは、特に制限されないが、システムバスBUSを介して、CPU(中央処理装置)31、SRAM(スタティック・ランダム・アクセス・メモリ)33、フラッシュメモリ34、周辺装置制御部35、表示系36などが、互いに信号のやり取り可能に結合され、予め定められたプログラムに従って所定のデータ処理を行うことができる。上記CPU31は、本システムの論理的中核とされ、主として、アドレス指定、情報の読み出しと書き込み、データの演算、命令のシーケンス、割り込の受け、記憶装置と入出力装置との情報交換の起動等の機能を有し、演算制御部や、バス制御部、メモリアクセス制御部などから構成される。上記SRAM33、及びフラッシュメモリ34は内部記憶装置として位置付けられている。フラッシュメモリ34には、各種プログラムやデータが記憶される。SRAM33には、CPU31での計算や制御に必要なプログラムやデータがロードされる。周辺装置

制御部35によって、記憶装置38の動作制御や、キーボード39などからの情報入力制御が行われる。記憶装置38には、ハードディスク装置等の補助記憶装置が適用される。

【0012】図1にはフラッシュメモリ34の構成例が示される。

【0013】図1に示されるフラッシュメモリ34は、特に制限されないが、公知の半導体集積回路製造技術により、単結晶シリコン基板などの一つの半導体基板に形成される。

【0014】フラッシュメモリ34は、特に制限されないが、8ビットのデータ入出力端子PI/O0~PI/O7、19ビットのアドレス入力端子PA0~PA18、ローインネブルのチップ選択信号の入力端子PCEN、ローインネブルのアウトプットインネブル信号の入力端子POEN、5Vのような高電位側電源Vdd端子、0Vのような低電位側電源Vss端子、及び12Vのような高電圧Vpp端子を備える。

【0015】100は、それぞれ2層ゲート構造の絶縁ゲート型電界効果トランジスタによって構成された複数のフラッシュメモリセルをマトリクス配置して成るメモリセルアレイである。フラッシュメモリセルのコントロールゲートはそれぞれ対応する図示しないワード線に接続され、フラッシュメモリセルのドレインはそれぞれ対応する図示しないデータ線に接続され、フラッシュメモリセルのソースはメモリブロック毎に共通の図示しないソース線に接続されている。

【0016】アドレス入力バッファ(AIB)101は、アドレス入力端子PA0~PA18から供給されるアドレス信号を内部相補アドレス信号に変換する。変換されたアドレス信号は、アドレスラッチ回路102にラッチされる。Xアドレスデコーダ及びワードドライバ(XADEC)103はアドレスラッチ回路102にラッチされたXアドレス信号を解釈し、解釈して得られる選択信号などに基づいてワード線を駆動する。特に制限されないが、データ読み出し動作においてワードドライバは5Vのような電圧でワード線を駆動し、データの書き込み動作では12Vのような高電圧でワード線を駆動し、データの消去動作においてはワードドライバの全ての出力が0Vのような低い電圧レベルにされる。104は、アドレスラッチ回路102にラッチされたYアドレス信号を解釈するYアドレスデコーダ(YADEC)である。105は、Yアドレスデコーダ104の出力選択信号に従ってデータ線を選択するYセレクトである。106はデータ読み出し動作においてYセレクト105で選択されたデータ線からの読み出し信号を増幅するセンスアンプである。107はセンスアンプ106の出力を保持するデータ出力ラッチである。108はデータ出力ラッチ107が保持するデータを外部に出力するためのデータ出力バッファである。109は外部から供給され

る書き込みデータ又はコマンドデータなどを取り込むためのデータ入力バッファである。データ入力バッファ109から取り込まれた書き込みデータ又はコマンドデータはデータ入力ラッチ110に保持される。データ入力ラッチ110に保持された書き込みデータのうち論理“0”に対応されるビットデータに対して、書き込み回路111はYセレクト105で選択されたデータ線に書き込み用高電圧を供給する。この書き込み用高電圧は、Xアドレス信号に従ってコントロールゲートに高電圧が印加されるフラッシュメモリセルに供給され、これによって当該メモリセルが書き込みされる。

【0017】上記データ入力ラッチ110にラッチされたコマンドデータはメモリ制御回路112に供給される。メモリ制御回路112は、その他に端子PCEN及びPOENから供給されるチップ選択信号及びアウトプットイネーブル信号を受け、フラッシュメモリの読み出し、消去、書き込み動作、書き込みベリファイなどの各種内部動作を制御する。本実施例では、特に制限されないが、このメモリ制御回路112はMPU（マイクロプロセッシングユニット）によって構成される。

【0018】上記フラッシュメモリ34の動作はコマンドデータによって決定される。メモリ制御回路112は、データ入力ラッチ110から供給されるコマンドデータをラッチする図示しないコマンドラッチと、コマンドラッチにラッチされたコマンドを解釈して、各種動作モードに応じた制御信号を生成する図示しないコマンドデコーダを備える。読み出し、消去、書き込みなどの各動作に必要なとされる動作電圧は、メモリ制御回路112の制御により動作モードに応じて各部に供給される。

【0019】この実施例では、フラッシュメモリをシステムに搭載した状態で、その記憶情報の一部を書き換える場合のバスBUSの占有時間の短縮、及びCPU31の負荷軽減を図るために、部分的な書き換えを指示するための専用コマンドが用意され、そのコマンドがCPU31から与えられた場合に、フラッシュメモリ34の内部処理によりメモリセルアレイ100の部分的な書き換えが行われるようになっている。メモリセルアレイ100の部分的な書き換えを可能とするため、フラッシュメモリ34にはバッファ回路114が内蔵され、このバッファ回路114において、データの書き換えが行われた後に、そのバッファ回路114の記憶データがメモリセルアレイ100に書き戻されるようになっている。バッファ回路114は、特に制限されないが、高速動作可能なスタティック・ランダム・アクセス・メモリ（SRAMと略記する）が適用され、メモリセルアレイ100の記憶データ待避のため、その記憶容量は、少なくとも本実施例フラッシュメモリ34の消去単位分が必要とされる。つまり、本実施例フラッシュメモリ34の消去単位が512バイトとされ、消去動作が512バイト単位で行われる場合には、上記バッファ回路114の記憶容量

は少なくとも512バイトとひつようとされ、それは、メモリセルアレイ100の部分的な書き換えにおいて、その書き換えられるデータを含む消去単位データ（512バイト）のデータをバッファ回路114に待避させる必要があるためである。そのようなバッファ回路114は、データ出力バッファ108のデータ出力端子や、データ入力バッファ109のデータ入力端子とともに、8ビットのデータ入出力端子PI/O0～PI/O7に結合されている。バッファ回路114の書き込み、読み出しの制御は、メモリ制御回路112によって行われる。すなわち、データ入出力端子PI/O0～PI/O7から入力されたデータや、メモリセルアレイ100からの読み出しデータがメモリ制御回路112の制御下でバッファ回路114に書き込むことができ、また、バッファ回路114の記憶データをメモリセルアレイ100に転送することができる。

【0020】図4にはメモリセルアレイ100の構成例が示される。

【0021】メモリセルアレイ100は、図4に示されるように、それぞれ2層ゲート構造の絶縁ゲート型電界効果トランジスタによって構成された複数のフラッシュメモリセルMCをアレイ状に配置して成る。フラッシュメモリセルMCのコントロールゲートはそれぞれ対応するワード線WLO～WLXに接続される。フラッシュメモリセルMCのドレイン、及びソースはそれぞれ対応するサブデータ線SDL、及びサブソース線SSLに接続される。サブデータ線SDLは、ゲート選択信号SG1によって動作制御されるnチャンネル型MOSトランジスタQ10、Q11を介して対応するデータ線DL1、DL2に結合される。また、サブソース線SSLは、ゲート選択信号SG2によって動作制御されるnチャンネル型MOSトランジスタQ20、Q21を介してメモリブロック毎に共通のソース線SLに接続されている。

【0022】図2には上記バッファ回路114と、メモリ制御回路112との関係が示される。

【0023】バッファ回路114は、特に制限されないが、それぞれ512バイトの記憶容量を有する第1バッファ114A、及び第2バッファ114Bを含む。第1バッファ114Aは、複数のスタティック型メモリセルをアレイ状に配列して成るアレイ部21と、メモリ制御回路112から供給されたロウアドレス信号ADX1をデコードしてアレイ部21のワード線を選択レベルに駆動するための信号を生成するXデコーダ22と、メモリ制御回路112から供給されたカラムアドレス信号ADY1をデコードしてカラム系の選択信号を生成するためのYデコーダ23と、データの入出力回路24とを含む。入出力回路24は、メモリ制御回路112に結合され、メモリ制御回路112からのマスクデータの書き込み、及び読み出しが可能とされる。マスクデータは、メモリセルアレイ100の記憶データの部分的な書き換え

において、書き換えを要しない部分をマスクするのに用いられる。また、第2バッファ114Bは、複数のスタティック型メモリセルをアレイ状に配列して成るアレイ部25と、メモリ制御回路112から供給されたロウアドレス信号ADX2をデコードしてアレイ部25のワード線を選択レベルに駆動するための信号を生成するXデコーダ26と、メモリ制御回路112から供給されたコラムアドレス信号ADY2をデコードしてコラム系の選択信号を生成するためのYデコーダ27と、データの入出力回路28とを含む。入出力回路28は、図1に示されるデータ出力バッファ108、データ入力バッファ109や、データ入出力端子PI/O0~PI/O7に結合され、外部からの書き換え用データの取込み、及びアレイ部25からデータ入力バッファ109への書き換え済みデータの出力を可能とする。

【0024】次に、フラッシュメモリの消去単位(512バイト)よりも小さいデータの書き換えを行う場合の動作を説明する。

【0025】図3(a)にはフラッシュメモリ34内に設けられたバッファ回路114を使用する場合のデータ書き換えの流れが示される。

【0026】先ず、フラッシュメモリ34の部分的な書き換えを行うため、書き換え専用コマンドがCPU31からフラッシュメモリ34に入力される(ステップS11)。この書き換え専用コマンドは、データ入力バッファ109、及びデータ入力ラッチ回路110を介してメモリ制御回路112に入力され、そこで解釈される。また、部分的な書き換えのためのアドレス信号及び書き換え用データが入力される(ステップS12)。アドレス信号は、アドレス入力バッファ101、及びアドレスラッチ102を介してXアドレスデコーダ及びワードドライバ103、Yアドレスデコーダ104、及びメモリ制御回路112に入力される。書き換え用データは、図2に示される第2バッファ114bの入出力回路27を介してアレイ部25に書き込まれる(ステップS13)。書き込みアドレスの制御は、メモリ制御回路112によって行われる。そして、上記書き換え用データの書き込みと同時に、第1バッファ114Aにおけるアレイ部21には、上記アレイ部25への書き込みアドレスと同一アドレスによって、マスクデータが書き込まれる(ステップS14)。つまり、上記のようにアレイ部25へ書き換え用データが書き込まれる際に、その書き込みアドレスと同一のアドレス制御により、アレイ部21にはマスクデータとして、論理“1”が書き込まれる。これにより、アレイ部21において、アレイ部25のデータ書き込みエリアに対応するエリアには、論理“1”が設定される。

【0027】次に、メモリ制御回路112の制御により、メモリセルアレイ100の記憶データの特選が行われる(ステップS14)。データ特選先は、第2バッファ

114Bとされる。このデータ特選は、実質的なデータ書き換えが1バイトであるにもかかわらず、後に行われる消去動作との関係で、消去単位、すなわち512バイト単位で行われる。第2バッファ114Bへのデータ特選において、第1バッファ114A内のマスクデータがメモリ制御回路112によって参照され、マスクデータが論理“1”とされているアドレスに対応する箇所には、上記第2バッファ114Bへのデータ特選が行われない。つまり、第2バッファ114Bにおいて、上記第1バッファ114A内のマスクデータが論理“1”とされているアドレスに対応する箇所には、上記ステップS12において、外部から取込まれた書き換え用データが記憶されているため、その書き換え用データの破壊を防止するため、上記マスクデータを参照して上記データ特選を禁止するようにしている。そのようなマスクデータに基づくデータ特選により、第2バッファ114Bの記憶データは、上記メモリセルアレイ100から読み出された消去単位(512バイト)のデータそのものではなく、それが、外部から取込まれた書き換え用データ(1バイト)によって部分的に置換えられたものとされる。

【0028】次に、上記ステップS14において、データが特選されたエリアが、メモリ制御回路112の制御により消去され(ステップS15)、しかる後に、第2バッファ114Bの記憶データが、上記消去にかかるエリアに書き込まれる(ステップS16)。上記のように、第2バッファ114Bの記憶データは、上記メモリセルアレイ100から読み出された消去単位(512バイト)のデータそのものではなく、それが、外部から取込まれた書き換え用データ(1バイト)によって部分的に置換えられたものであるから、このステップS16のデータ書き戻しにより、メモリセルアレイ100の1バイト書き換えが完了される。

【0029】このように、フラッシュメモリ34に内蔵されたバッファ回路114を使用してメモリセルアレイ100の部分的な書き換えを行う場合には、書き換え専用コマンドをフラッシュメモリ34に与え、さらに、書き換えのためのアドレス信号、及び書き換え用データをフラッシュメモリ34に与えれば、後は、メモリ制御回路112によって、ステップS13~S16の内部処理により、書き換えが終了される。

【0030】次に、図3(b)に示されるフローチャートに従って、フラッシュメモリ34に内蔵されたバッファ回路114を使用しない場合の部分的な書き換え処理について説明する。

【0031】フラッシュメモリ34に内蔵されたバッファ回路114を使用しない場合の部分的な書き換え処理は、フラッシュメモリ34に対して読み出しコマンド、消去コマンド、及び書き込みコマンドを、それぞれ個別的に入力することによって行われる。また、メモリセルアレイ100の記憶データの特選のため、フラッシュメモ

メモリ34の外部に配置された適宜の記憶手段例えばSRAM33などが利用される。すなわち、データ待避のために、読み出しコマンドの入力され(ステップS21)、アドレス信号が入力されて(ステップS22)、対応するデータが、フラッシュメモリの外部に配置された記憶手段に待避され、そこでデータの部分的な書き換えが行われる(ステップS23)。そして、外部から消去コマンドが入力され(ステップS24)、消去エリア指定のためのアドレス信号が入力されることにより(ステップS25)、該当エリアが消去される。この消去後に、上記記憶手段の記憶内容をメモリセルアレイ100に書き戻すための書き換え専用コマンドが入力され(ステップS26)、アドレス信号、及び上記記憶手段の記憶データが入力されることにより(ステップS27)、メモリセルアレイ100の部分的な書き換えが行われる。このように、フラッシュメモリ34に内蔵されたバッファ回路114を使用しない場合の部分的な書き換えにおいては、フラッシュメモリ34に対して読み出しコマンド、消去コマンド、及び書き換え専用コマンドを、フラッシュメモリ34の外部から、それぞれ個別に入力する必要があるから、フラッシュメモリ34が結合されたバスの占有時間が長くなるし、CPU31の負荷も大きくなってしまふ。

【0032】それに対して、フラッシュメモリ34に内蔵されたバッファ回路114を使用する場合には、図3(b)のフローチャートからも明らかなように、書き換え専用コマンドの発行、書き換えのためのアドレス信号、及び書き換え用データをフラッシュメモリ34に与えれば、後は、メモリ制御回路112によって、ステップS13～S16の内部処理により、書き換えが終了されるので、フラッシュメモリ34の部分的な書き換えにおいて、バスの占有時間を短縮することができ、また、部分的な書き換えのためのコマンド発行数の減少によりCPU31の負荷軽減を図ることができる。

【0033】上記実施例によれば、以下の作用効果を得ることができる。

【0034】(1)複数のフラッシュメモリセルを配列して成るメモリセルアレイ100の一括消去単位に相当するデータ記憶容量を少なくとも有するバッファ回路114を設け、さらに書き換え専用コマンド、及び部分的な書き換えのためのアドレス信号及び書き換え用データの入力により、一括消去単位データを上記バッファ回路114に転送して、書き換え用データに基づくデータ書き換えを行い、それを上記メモリセルアレイ100に書き戻すためのメモリ制御回路112を設け、メモリセルアレイ100の記憶情報の書き換えを内部処理に委ねることで、消去単位よりも小さなデータの書き換えを行う場合のバス占有時間の短縮を図ることができる。

【0035】(2)上記書き換え専用コマンドの発行により、記憶情報の一部書き換えの内部処理を開始させる

ことができ、そのような書き換えにおいて、読み出しコマンド、消去コマンド、及び書き換え専用コマンドを、それぞれ個別に、フラッシュメモリに与える必要がないから、コマンド発行数の低減により、CPU31の負荷軽減を図ることができる。

【0036】(3)上記(1)、(2)の作用効果により、CPU31は、フラッシュメモリ34に書き換えコマンドや部分的な書き換えのためのアドレス信号及び書き換え用データが入力された後は、バスを使用して別の処理を行うことができるので、コンピュータシステム全体としてのデータ処理の効率向上を図ることができる。

【0037】次に、他の実施例について説明する。

【0038】図6にはバッファ回路114の他の構成例が示される。

【0039】図6に示される構成では、複数のスタティック型メモリセルをアレイ状に配列して成るアレイ部61と、メモリ制御回路112から供給されたロウアドレス信号ADXをデコードしてアレイ部61のワード線を選択レベルに駆動するための信号を生成するXデコーダ62と、メモリ制御回路112から供給されたカラムアドレス信号ADYをデコードしてカラム系の選択信号を生成するためのYデコーダ63と、データをラッチするためのデータラッチ64を含む。メモリセルアレイ100の消去単位を512バイトとすると、アレイ部61の記憶容量は、512バイト以上とされる。そのような構成において、メモリセルアレイ100の消去単位よりも小さな範囲の書き換えは、以下のように行われる。

【0040】図7にはデータ書き換えの流れが示される。

【0041】まず、フラッシュメモリ34の部分的な書き換えを行うため、書き換え専用コマンドがCPU31からフラッシュメモリ34に入力される(ステップS31)。この書き換え専用コマンドは、データ入力バッファ109、及びデータ入力ラッチ回路110を介してメモリ制御回路112に入力され、そこで解釈される。また、部分的な書き換えのためのアドレス信号及び書き換え用データが入力される(ステップS32)。アドレス信号は、アドレス入力バッファ101、及びアドレスラッチ102を介してXアドレスデコーダ及びワードドライバ103、Yアドレスデコーダ104、及びメモリ制御回路112に入力される。書き換え用データをアレイ部61に書き込む際に、メモリ制御回路112によってメモリセルアレイ100からのデータ読み出しが行われ、書き換え用のデータと、メモリセルアレイ100からの読み出しデータとの比較が行われる(ステップS33)。この比較において、同一アドレスにかかるデータの論理が同じであれば、アレイ部61には論理“0”が書き込まれ、同一アドレスにかかるデータが異なれば、アレイ部61には論理“1”が書き込まれる。そのようなデータ比較の後に、メモリ制御回路112の制御によ

り、メモリセルアレイ100の記憶データの待避が行われる(ステップS34)。この場合のデータ待避先は、データラッチ64とされる。しかも、このデータ待避においては、アレイ部61からのデータ読み出しが行われ、このアレイ部61から読み出されたデータが論理“0”ならば、それは、書き換え用データとメモリセルアレイ100からの待避データとの論理が等しいことを意味するから、メモリセルアレイ100からの待避データがそのままの状態データラッチ64の対応ビットに書き込まれる。それに対して、アレイ部61から読み出されたデータが論理“1”の場合には、それは、書き換え用データとメモリセルアレイ100からの待避データとの論理が異なることを意味するから、メモリセルアレイ100からの待避データの対応ビットの論理が反転されてデータラッチ64に書き込まれる。そして、このデータラッチ64にラッチされたデータがアレイ部61に書き込まれる。

【0042】そのように、アレイ部61から読み出されたデータの論理が“0”ならば、メモリセルアレイ100からの待避データをそのままの論理状態でデータラッチ64に一旦ラッチしてからアレイ部61に書き込み、アレイ部61から読み出されたデータの論理が“1”ならば、メモリセルアレイ100からの待避データの論理を反転してデータラッチ64に一旦ラッチしてからアレイ部61に書き込む、という一連の動作を512バイト分、繰り返すことにより、アレイ部61内のデータは、メモリセルアレイ100からの待避データに、書き換え用データが反映されたものとなる。

【0043】次に、上記ステップS34において、データが待避されたエリアが、メモリ制御回路112の制御により消去され(ステップS35)、しかる後に、アレイ部61の記憶データが、上記消去にかかるエリアに書き込まれる(ステップS36)。アレイ部61の記憶データは、上記メモリセルアレイ100から読み出された消去単位(512バイト)のデータそのものではなく、それが、外部から取込まれた書き換え用データ(1バイト)によって部分的に置換えられたものであるから、このステップS36のデータ書き戻しにより、メモリセルアレイ100の1バイト書き換えが完了される。

【0044】上記のように、アレイ部61、Xデコーダ62、Yデコーダ63、及びデータラッチ64とを含んで、バッファ回路114を構成しても、そのようなバッファ回路114を使用することにより、メモリセルアレイ100の部分的な書き換えを簡単な外部制御により行うことができるので、バス占有時間の短縮やCPU31の負荷軽減など、上記実施例の場合と同様の作用効果を得ることができる。

【0045】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲におい

て種々変更可能であることは言うまでもない。

【0046】例えば、上記実施例ではバッファ回路114として、スタティック型メモリセルを有するものを適用したが、それに代えてダイナミック型メモリセルを有するものを適用することができる。

【0047】また、メモリカード等と称されるカード状の記憶媒体にフラッシュメモリが搭載される場合には、そのようなメモリカードに搭載されるフラッシュメモリとして、上記実施例に示されるフラッシュメモリを適用することができる。

【0048】さらに、上記実施例では、フラッシュメモリの消去単位を512バイトとして説明したが、それに限定されない。そして、バッファ回路114に含まれるアレイ部は、フラッシュメモリの消去単位に相当する記憶容量を少なくとも有していればよく、消去単位に相当する記憶容量を越える場合を妨げない。

【0049】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるコンピュータシステムに適用した場合について説明したが、本発明はそれに限定されるものではなく、各種データ処理装置に適用することができる。

【0050】本発明は、少なくともフラッシュメモリセルを含むことを条件に適用することができる。

【0051】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0052】すなわち、外部からの書き換え専用コマンド、及び当該部分的な書き換えのためのアドレス信号及び書き換え用データの入力により、書き換えにかかるデータを含む一括消去単位データを上記記憶手段に転送して、その記憶手段内で上記書き換え用データに基づくデータ書き換えを行い、それを上記メモリセルアレイに書き戻すことにより、メモリセルアレイの記憶情報の一部書き換えのための処理をフラッシュメモリの内部処理に委ね、それによって、消去単位よりも小さなデータの書き換えを行う場合のバス占有時間の短縮、及びCPUの負荷軽減を図ることができる。

【図面の簡単な説明】

【図1】本発明にかかる半導体記憶装置の一実施例であるフラッシュメモリの構成例ブロック図である。

【図2】上記フラッシュメモリに含まれるバッファ回路の構成例ブロック図である。

【図3】上記フラッシュメモリの部分的な書き換えのフローチャートである。

【図4】上記フラッシュメモリに含まれるメモリセルアレイの構成例回路図である。

【図5】上記フラッシュメモリを含むコンピュータシステムの構成例ブロック図である。

【図6】上記バッファ回路の他の構成例ブロック図であ

る。

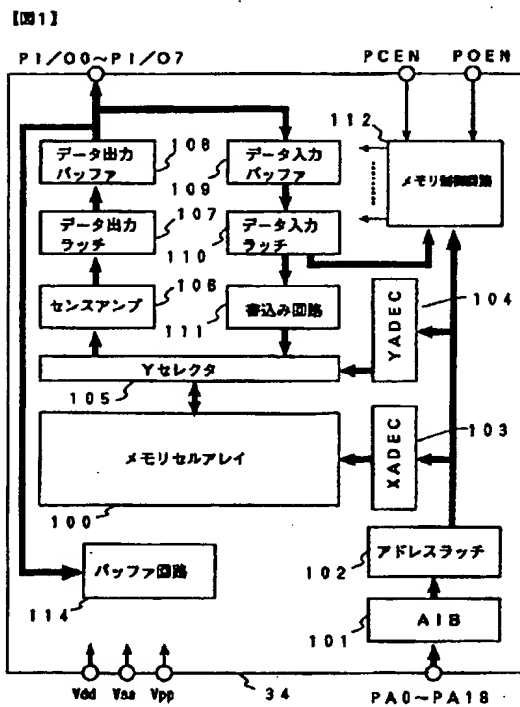
【図7】図6に示されるバッファ回路を使用した場合のフラッシュメモリの部分的な書き換えのフローチャートである。

【符号の説明】

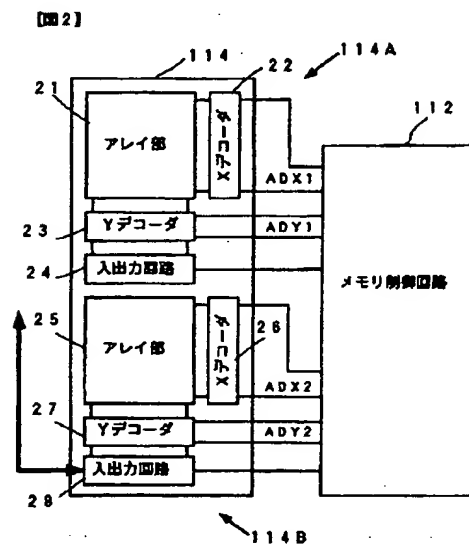
- 21, 25, 61 アレイ部
- 22, 26, 62 Xデコーダ
- 23, 27, 63 Yデコーダ
- 24, 28 入出力回路
- 31 CPU
- 33 SRAM
- 34 フラッシュメモリ
- 35 周辺装置制御部
- 36 表示系
- 38 記憶装置
- 39 キーボード

- 64 データラッチ
- 101 アドレス入力バッファ
- 102 アドレスラッチ
- 103 Xアドレスデコーダ及びワードドライバ
- 104 Yアドレスデコーダ
- 105 Yセクタ
- 106 センスアンプ
- 107 データ出力ラッチ
- 108 データ出力バッファ
- 109 データ入力バッファ
- 110 データ入力ラッチ
- 111 書き込み回路
- 112 メモリ制御回路
- 114 バッファ回路
- 114A 第1バッファ
- 114B 第2バッファ

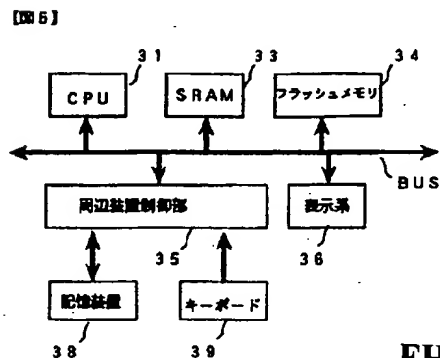
【図1】



【図2】

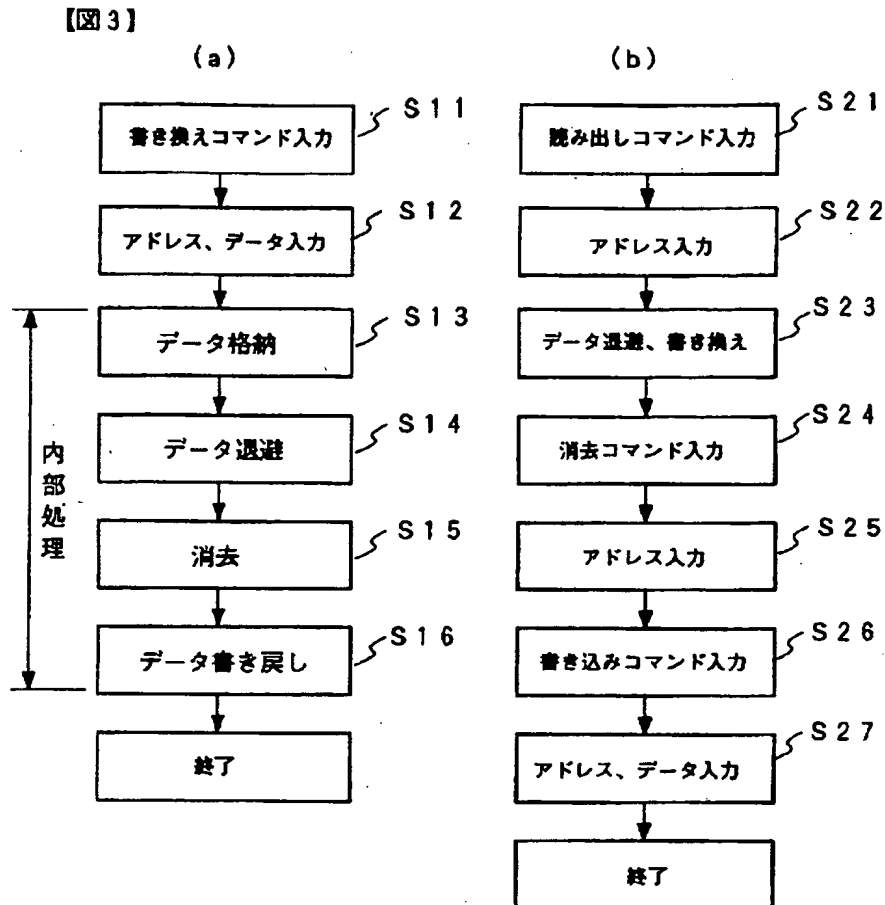


【図5】

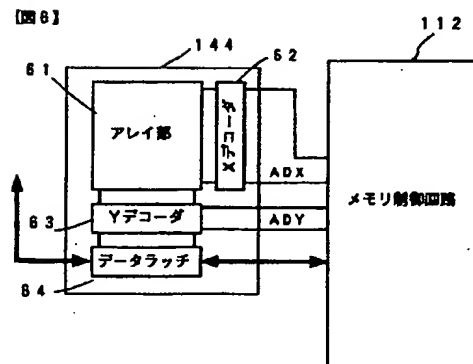




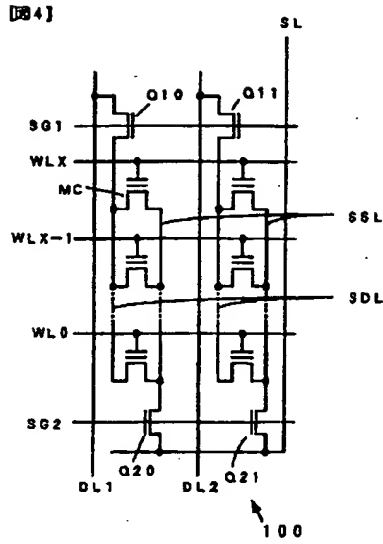
【図3】



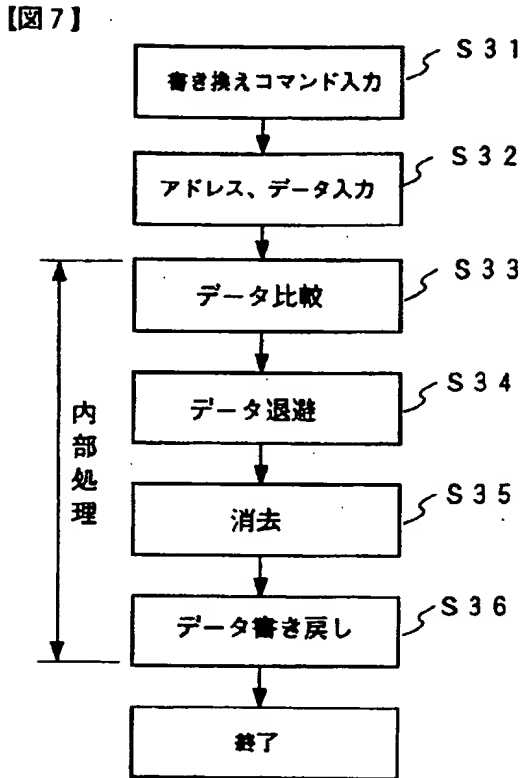
【図6】



【図4】



【図7】



フロントページの続き

(72)発明者 高橋 正人  
 東京都小平市上水本町5丁目20番1号 株  
 式会社日立製作所半導体事業部内

(72)発明者 佐藤 潔治  
 東京都小平市上水本町5丁目20番1号 日  
 立超エル・エス・アイ・エンジニアリング  
 株式会社内

# JAPANESE LAID-OPEN PATENT APPLICATION

FIN0230

JETT - 189

Hei 9-147581 (1997)

|                                                  |                       |                                          |              |                    |
|--------------------------------------------------|-----------------------|------------------------------------------|--------------|--------------------|
| (19) Japan Patent Office (JP)                    | (11) Publication No.  | H9-147581                                |              |                    |
| (12) Published Unexamined Patent Application (A) | (43) Publication Date | June 6, 1997                             |              |                    |
| (51) Int. Cl. <sup>6</sup>                       | Identification        | In-House                                 | FI           | Place of Technical |
|                                                  | Code                  | Reference No.                            |              | Designation        |
| G 11 C 16/06                                     |                       |                                          | G 11 C 17/00 | 510 Z              |
| No examination request                           |                       | Number of claims 4 FD (totally 10 pages) |              |                    |

---

|                      |                                                                                                                             |
|----------------------|-----------------------------------------------------------------------------------------------------------------------------|
| (21) Application No. | PA H7-326462                                                                                                                |
| (22) Date of Filing  | November 21, 1995 (Heisei 7)                                                                                                |
| (71) Applicant       | 000005108<br><b>Hitachi Co., Ltd.</b><br>4-6, Kandasurugadai, , Chiyoda-ku<br>Tokyo                                         |
| (71) Applicant       | 000233468<br><b>Hitachi VLSI Engineering Corp.</b><br>5-20-1, Kamimizumoto-cho<br>Kodaira-shi, Tokyo                        |
| (72) Inventor        | <b>Takuji ASO</b><br>Hitachi Co., Ltd.<br>Semiconductor Business Division<br>5-20-1, Kamimizumoto-cho<br>Kodaira-shi, Tokyo |

(72) Inventor

**Masato TAKAHASHI**

Hitachi Co., Ltd.

Semiconductor Business Division

5-20-1, Kamimizumoto-cho

Kodaira-shi, Tokyo

(72) Inventor

**Kiyoji SAT**□

Hitachi Co., Ltd.

Semiconductor Business Division

5-20-1, Kamimizumoto-cho

Kodaira-shi, Tokyo

(74) Agent

**Shizuyoshi TAMAMURA**, Attorney

(54) [Title of the Invention]

## **SEMICONDUCTOR STORAGE DEVICE AND DATA PROCESSING APPARATUS**

(57) [Abstract]

**[Problem]**

To shorten the bus occupied time in case of writing a part of stored information of a flash memory.

**[Resolution]**

To seek to shorten the bus occupied time by providing a buffer circuit 114 which at least has a data storing capacity equivalent to simultaneous erasing units of a memory cell array and a memory control circuit 112 for transferring data of the simultaneous erasing units to the above buffer circuit 114 according to the input of an rewrite command, an address signal for the partial rewriting and rewrite data, performing data writing based on rewrite data and writing back the data into the above memory cell array and rewriting a part of the stored information by internal processing.

**[Fig. 1]**

- 100 memory cell array
- 101 AIB
- 102 address latch
- 103 XADEC
- 104 YADEC
- 105 Y selector

- 106 sense amplifier
- 107 data output latch
- 108 data output buffer
- 109 data input buffer
- 110 data input latch
- 111 rewriting circuit
- 112 memory control circuit
- 114 buffer circuit

### **[Claims]**

#### **[Claim 1]**

A semiconductor storage device which has a memory cell array made by arranging multiple flash memory cells and which is capable of simultaneously erasing the stored information of the above memory cell array by predetermined erasing units is characterized by comprising a storage means that at least has a storing capacity equivalent to the simultaneous erasing units of above memory cell array and a control means for transferring data of the simultaneous erasing units including data involved in the rewriting of above memory cell array according to the input of an exclusive external rewrite command, performing the rewriting based on the above rewrite data in the storage means and writing back the data into the above memory cell array.

#### **[Claim 2]**

A semiconductor storage device which has a memory cell array made by arranging multiple flash memory cells and is capable of simultaneously erasing stored information of above memory cell array by predetermined erasing units is characterized by comprising a first buffer for storing mask data capable of masking data corresponding to a part which does not need to rewrite the memory cell array based on the input rewrite data, a second buffer for shunting data of simultaneous erasing units including data involved in the rewriting of above memory cell array and a control means for

performing the data shunting of above second buffer from the above memory cell array in reference to the mask data in the above first buffer based on the input of an exclusive external rewrite command and writing back the data of above second buffer into the above memory cell array after the erasure of the above memory cell array.

**[Claim 3]**

A semiconductor storage device which has a memory cell array made by arranging multiple flash memory cells and which is capable of simultaneously erasing stored information of above memory cell array by predetermined erasing units is characterized by comprising an array unit that at least has a storing capacity equivalent to the simultaneous erasing units of above memory cell array and a control means for comparing the rewrite data and corresponding memory cell array based on the input of an exclusive external rewrite command, writing the rewrite data into shunt data from the memory cell array based on the comparison result and writing back the data of above array unit into the above memory cell array after the erasure of above memory cell array.

**[Claim 4]**

A data processing apparatus which comprises the semiconductor storage device described in any of Claims 1 to 3 and a central processing unit accessible to it.

## **[Detailed Description of the Invention]**

**[0001]**

### **[Technical Field of the Invention]**

The present invention relates to a semiconductor storage device and a data rewriting technique of a flash memory made by arranging multiple flash memory cells into an array, for example, in a technique effective for applying to a data processing apparatus such as a computer system, etc.

**[0002]**

### **[Prior Art]**

A simultaneous erase type EEPROM (electrical erasable and programmable read only memory) has been described in Japan Kokai H2-289997. This simultaneous erase type EEPROM can be understood as having the same meaning as a flash memory in this specification. A flash memory enables rewriting information by electrical erasure and rewriting, and like the EPROM (electrical programmable read only memory), its memory cells can be constructed by one transistor and has a function of the simultaneous electrical erasure of all memory cells or blocks of memory cells. Accordingly, the flash memory enables rewriting stored information into a system in a mounted state and to seek the shortening of rewrite time by this simultaneous erasure function and further makes a contribution to a decrease of the chip occupied area.

**[0003]**

### **[Problems overcome by the Invention]**

Even in such a case that a part of the stored information is rewritten in a state of loading in a system, particularly in a case that only data smaller than a simultaneous erase units are desired to be



rewritten, simultaneous erasure is performed by an erasure unit in the flash memory and the data are also taken as target of erasure until there is information which essentially does not need to be rewritten, therefore internal information holding must also be externally transferred again before rewriting, which is wasteful in terms of information transfer for partial rewriting. For example, in a data processing apparatus such as a computer system, when an address input terminal and a data output terminal are combined with an address bus and a data bus, respectively, internal information holding is shunted outside of the flash memory before the above partial rewriting, and this information must be internally incorporated into the flash memory via the above data bus again and an address signal in that case must also be incorporated into the via the above address bus. Therefore the occupied time of above data bus and address bus is prolonged anyway although it is partially rewritten.

**[0004]**

Moreover, the instructions of the reading operation, erase operation, writing operation, etc. in the partial rewriting of the flash memory are based on commands published from a CPU (central processing unit) taken as the core of the computer system. Therefore a read command, an erase command, a write command, etc. must be given to the flash memory from the CPU, respectively and individually in the partial rewriting of above flash memory, thus increasing the CPU load.

**[0005]**

An objective of the present invention consists of providing a technique for shortening the bus occupied time in the case of rewriting part of the stored information in a state in which of flash memory is loaded into a system.

**[0006]**

Another purpose of the present invention consists of applying the technique for a seeking load reduction of the CPU in the case of rewriting a part of stored information in a state of loading a flash memory in a system.

**[0007]**

The purposes and other purposes as well as new characteristics of the present invention will be clarified from the description and attached drawings of the present invention.

**[0008]**

The outline of typical inventions disclosed in this application is briefly illustrated as follows.

**[0009]**

Namely, shortening the occupied time of buses provided outside of the flash memory and the load reduction of CPU are achieved by providing a storage means **114** that at least has a data storage capacity equivalent to simultaneously erasing units of a memory cell array made by arranging multiple flash memory cells, and a control means **112** for transferring data of the simultaneous erasing units including data involved in rewriting the above memory cell array according to the input of an exclusive external rewrite command, rewriting the data based on the above rewrite data in the storage means and writing back the data into the above memory cell array, and committing the processing for the partial rewriting of stored information of the memory cell array to internal processing.

**[0010]**

### **[Embodiments of the Invention]**

A computer system comprising a flash memory is an embodiment form of the present invention shown in Fig. 5.

#### **[0011]**

The computer system shown in Fig. 5 is not especially restricted, and a CPU (central processing unit) 31, a SRAM (static random access memory) 33, a flash memory 34, a peripheral device control unit 35 and a display unit 36, etc. connected in a mutually exchangeable manner of signals, and a given data processing can be performed according to a predetermined program. The above CPU is taken as the logic core of this system and mainly has the functions of address assignment, reading and writing of information, operation of data, sequence of instructions, reception of interruption, start of information exchange between the storage device and input/output device, etc., and is constructed from a bus control part, a memory access part, etc. The above SRAM 33 and the flash memory 34 can be positioned as internal storage devices. Various programs and data are stored in the flash memory 34. Programs or data necessary for computation in the CPU 31 are loaded in the SRAM. The operating control of a storage device 38 and the information input control from a keyboard 39, etc. are performed the peripheral device control unit 35. An auxiliary storage device such as a hard disc device, etc. is applied to the storage device 38.

#### **[0012]**

A construction example of the flash memory 34 is shown in Fig. 1.

#### **[0013]**

The flash memory 34 shown in Fig. 1 is not especially restricted, but is formed into one semiconductor substrate such as a single crystal silicon substrate, etc. according to a well-known manufacturing technique of semiconductor integrated circuit.

**[0014]**

The flash memory **34** shown in Fig. 1 is not especially restricted, but it is provided with an 8-bit data input/output terminals PI/OO – PI/O7, 19-bit address input terminals PA0 – PA18, an input terminal PCEN of a row enable chip selection signal, an input terminal POEN of a row-enable output enable signal, a power source Vdd terminal on the side of a high potential like 5 V, a power source Vss terminal on the side of a high potential like 0 V, and a Vpp terminal on the side of a high voltage like 12 V.

**[0015]**

**100** is a memory cell array made by arranging multiple flash memory cells formed with an insulation gate type transistor of a two-layer gate structure, respectively into a matrix. The control gates of the flash memory cells are connected to corresponding non-illustrated word lines, respectively, drains of the flash memory cells are connected to corresponding non-illustrated data lines, and sources of the flash memory cells are connected to a non-illustrated source line common for each memory block.

**[0016]**

An address input buffer (AIB) **101** converts an address signal fed from the address input terminals PA0 – PA18 to an internal complementary address signal. The converted address signal is latched in an address latch circuit **102**. An X address decoder and word driver (XADEC) **103** decodes the latched X address signal in the address latch circuit **102**, and a word line is driven based on a selection signal obtained by the decoding, etc. Although not specially restricted, the word driver drives the word lines at a voltage like 5 V in the data reading operation, drives the word lines at a high voltage like 12 V in the data writing operation, and all outputs of the word driver are made to a low voltage like 0 V in the data erase operation. **104** is a Y address decoder (YADEC) for decoding the latched Y address signal in the address latch circuit **102**. **105** is a Y selector for selecting data lines according to an output selection signal of the Y address decoder **104**. **106** is a sense amplifier

for amplifying a reading signal from the data line selected by the Y selector in the data reading operation. 107 is a data output latch for holding the output of the sense amplifier 106. 108 is a data output buffer for outputting data held by the data output latch to the external. 109 is a data input buffer for incorporating write data or command data fed from the external. The write data or command data incorporated from the data input buffer 109 are held in a data input latch 110. A writing circuit 111 a writing high voltage to data lines selected by the Y selector 105 for bit data corresponding to a logic "0" among write data held by the data input latch 110. This writing high voltage is fed to the flash memory cells applied with a high voltage to the control gates according to the X address signal, thereby the memory cells are written.

**[0017]**

The command data latched by the above data input latch 110 is fed to a memory control circuit 112. Besides, the memory control circuit 112 receives the chip selection signal and the output enable signal fed from the terminal PCEN and POEN and controls various internal operations such as reading, erase, writing verify operation, etc. Although not especially restricted, this memory control circuit 112 is constructed by an MPU (micro processing unit).

**[0018]**

The operations of the above flash memory 34 are determined by the command data. The memory control circuit 112 are provided with a non-illustrated command latch for latching the command data fed from the and data input latch 110 and a non-illustrated command decoder for decoding the commands latched in the command latch and forming control signals corresponding to various operating modes. An operating voltage needed for the operations such as reading, erase, writing, etc. is supplied to the units according to the operating modes by the control of the memory control circuit 112.

**[0019]**

In this embodiment, an exclusive command for instructing partial rewriting is prepared to seek to shorten the occupied time of buses BUS in the case of writing a part of stored information thereof in a state of loading the flash memory in the system and the load reduction of CPU. When this command is given from the CPU 31, a partial rewriting of the memory cell array 100 is performed by an internal processing of the flash memory 34. To enable the partial rewriting of the memory cell array 100, a buffer circuit 114 is built in the flash memory 34, the data rewriting is performed in the buffer circuit 114 and then stored data of the buffer circuit 114 is written back to the memory cell array 100. Although the buffer circuit 114 is not especially restricted, a high-speed operable static random access memory (abbreviated as SRAM), and at least the erase unit of the flash memory 34 of this embodiment are needed for its storing capacity to shunt the stored data of the memory cell array 100. Namely, when an erase unit of the flash memory 34 of this embodiment is taken as 512 bytes and the erase operation is performed at the 512-byte unit, the storing capacity of above buffer circuit 114 is taken at least 512 bytes, this is because data of the erase unit data (512 bytes) including the rewrite data must be shunted in the buffer circuit 114 in the partial rewriting of the memory cell array 100. Such a buffer circuit 114 is connected with data output terminals of the data output buffer 108, data input terminals of the data input buffer 109 and the 8-bit data input/output terminals PI/O0 – PI/O7. The control of writing and reading of the buffer circuit 114 is performed by the memory control circuit 112. Namely, the data input from the data input/output terminals PI/O0 – PI/O7 or the data read from the memory cell array 100 can be written into the buffer circuit 114 under the control of the memory control circuit 112, and the stored data of the buffer circuit 114 can be transferred to the memory cell array 100.

[0020]

A construction example of the memory cell array 100 is shown in Fig. 4. As shown in Fig. 4, the memory cell array 100 is made by arranging multiple flash memory cells MC formed with an insulation gate type transistor of a two-layer gate structure, respectively into a matrix. The control gates of flash memory cells MC are connected to corresponding word lines ML0 – WLX, respectively. The drains and sources of the flash memory cells MC are joined to corresponding subdata lines SDL and subsource lines SSL, respectively. The subdata lines SDL are joined with

corresponding data lines DL1, DL2 via n-channel type MOS transistors Q10, Q11 operationally controlled by a gate selection signal SG1. . The sub-source lines SSL are joined with a common source line SL for each memory block via n-channel type MOS transistors Q20, Q21 operationally controlled by a gate selection signal SG2.

**[0022]**

A relationship between the above buffer circuit 114 and the memory control circuit 112 is shown in Fig. 2.

**[0023]**

Although not especially restricted, the buffer circuit 114 comprises a first buffer 114A and a second buffer 114B having a 512-byte storing capacity, respectively. The first buffer 114A comprises an array unit 21 made by arranging multiple static memory cells into an array, an X decoder 22 that decodes a row address signal ADX1 fed from the memory control circuit 112 to form a signal for driving word lines of array 21 to a selection level, a Y decoder 23 decodes a signal for a column address signal ADY1 fed from the memory control circuit 112 to form a signal for driving word lines of array 21 to a column selection signal, and a data input/output circuit 24. The input/output circuit 24 is joined with the memory control circuit 112 and enables the writing and reading of mask data from the memory control circuit 112. The mask data are used for masking a part which does not need the partial writing of stored data of the memory array 100. The second buffer 114B comprises an array unit 25 made by arranging multiple static memory cells into an array, an X decoder 26 that decodes a row address signal ADX2 fed from the memory control circuit 112 to form a signal for driving word lines of array unit 25 to a selection level, a Y decoder 27 decodes a column address signal ADY2 fed from the memory control circuit 112 to form a column selection signal, and a data input/output circuit 28. The input/output circuit 28 is joined with the data output buffer 108, the data input buffer 109 or the data input/output terminals PI/O0 – PI/O7 and enables the incorporation of rewrite data from the external and the output of rewritten data to the array unit 25 or the data input buffer 109.

**[0024]**

An explanation is provided of operations in the case of writing data smaller than the erase unit (512 bytes) of the flash memory.

**[0025]**

A flow of data writing in the case of using the buffer circuit 114 provided in the flash memory 34 is shown in Fig. 3(a).

**[0026]**

First, an exclusive rewrite command is input from the CPU 31 to the flash memory 34 to perform the partial writing of the flash memory (step S11). This exclusive rewrite command is input into the memory control circuit 112 via the data input buffer 109 and the data input latch circuit 110 and explained there. An address signal is input for the partial rewriting and rewrite data (step S12). The address signal is input into the X address decoder and word driver 103, Y address decoder 104 and memory control circuit 112 via the address signal buffer 101 and address signal buffer 102. The rewrite data is written into the array unit 25 via the input/output circuit 27 in the second buffer 114B shown in Fig. 2 (step S13). The write address is controlled by the memory control circuit 112. Then, mask data is written into the array unit 21 in the first buffer 114A simultaneously with the writing of above rewrite data by same address as write address to the above array unit 25 (step S14). Namely, the logic "1" is written as mask data into the array unit 21 when writing the rewrite data into the array unit 25 as described above by same address control as the writing address. Thereby, the logic "1" is set into an area corresponding to the data writing area of the array unit 25 in the array unit 21.

**[0027]**

Next, the shunting of stored data of the memory cell array 100 is accomplished by the control of the memory control circuit 112 (step S14). The destination of data shunting is taken as the second



buffer 114B. This data shunting is performed in an erase unit, i. e., 512-byte units with a relation to the erase operation carried out later despite that the essential data rewrite are 1 byte. Data shunting is not performed in a place corresponding to an address where the mask data in the first buffer 114 is referred to by the memory control circuit 112 and the mask data are taken as the logic "1" in the data shunting to the second buffer 114B. Namely, the above data shunting is inhibited in reference to the above mask data to prevent the destruction of data because the rewrite data incorporated from the external in the above step S12 are stored in a place corresponding to an address where the mask data in the above first buffer 114A are taken as the logic "1" in the above second buffer 114B. The stored data of the second buffer 114B are not the data themselves of the erase unit (512 bytes) read from the above memory cell array 100, and they are taken as data partially replaced by the rewrite data (1 byte) incorporated from the above memory cell array 100.

[0028]

Then, the data-shunted area in the above step S14 is erased by the control of the memory control circuit 112 (step S15), afterward, the stored data of the second buffer 114B is written into an area involved in the above erase (step S16). As described above, the stored data of the second buffer 114B are not the data themselves of the erase unit (512 bytes) read from the above memory cell array 100, and they are taken as data partially replaced by the rewrite data (1 byte) incorporated from the above memory cell array 100. The 1-byte rewriting of the memory cell array 100 is completed by data write back of this step S16.

[0029]

Thus, when the buffer circuit 114 built-in in the flash memory 34 is used to perform the partial rewriting of the memory cell array 100, if the exclusive rewrite command is given to the flash memory 34 and the address signal for rewriting and the rewrite data are further given to the flash memory 34, the rewriting is then ended by the memory control circuit 112 according to the internal processing of the steps S13 to S16.

**[0030]**

Subsequently, the partial rewrite processing in the case of not using the buffer circuit 114 built-in in the flash memory 34 is illustrated according to a flow chart shown in Fig. 3(b).

**[0031]**

The partial rewrite processing in the case of not using the buffer circuit 114 built-in in the flash memory 34 is performed by inputting a read command, an erase command and a write command to the flash memory 34, respectively and individually. Moreover, a proper storing means, e. g., the SRAM 33, arranged at the external of the flash memory 34 is used for the shunting of stored data of the memory cell array 100. Namely, input is accomplished of a read command (step S21), inputting an address signal (step S22), and shunting corresponding data in a storing means arranged outside the flash memory 34 and partial rewriting of data is performed there (step S23). Then, an erase command is externally input (step S24) and an area is erased by inputting an address signal for assigning the erased area (step S25). After erasure, an exclusive rewrite command is input for writing back the stored contents of the storing means into the memory cell array 100 (step S26). Partial rewriting of the memory cell array 100 is performed by the address signal and the stored data of above storing means (step S27). Thus, in the partial rewriting in the case of not using the buffer circuit 114 built-in in the flash memory 34, the read command, erase command and write command must be input from outside of the flash memory 34 to the flash memory 34, respectively and individually, therefore the occupied time of buses joined with the flash memory 34 is prolonged and the load of CPU 31 also increases.

**[0032]**

In contrast, in the case of using the buffer circuit 114 built-in in the flash memory 34, as is also evident from the flow chart of Fig. 3(b), if the exclusive rewrite command, the address signal for rewriting and the rewrite data are given to the flash memory 34, the rewriting is then ended by the memory control circuit 112 according to the internal processing of the steps S13 to S16. Therefore

this embodiment enables shortening the occupied time of buses and seek the load reduction of CPU 31 by decreasing the number of issuing commands for the partial rewriting.

**[0033]**

The above embodiment enables obtaining the following working effects.

**[0034]**

(1) The above embodiment enables shortening the occupied time of buses in the case of performing rewriting of data smaller than the erase unit by providing a storage means 114 that at least has a storing capacity equivalent to simultaneous erasing units of the memory cell array 100 made by arranging multiple flash memory cells, further providing the memory control circuit 112 for transferring data of the simultaneous erasing units to the above buffer circuit 114 according to the input of an exclusive rewrite command, an address signal for the partial rewriting and rewrite data, performing the data rewriting based on the above rewrite data and writing back the data into the above memory cell array 100 and committing the rewriting of stored information of the memory cell array 100 to internal processing.

**[0035]**

(2) The above embodiment enables starting the internal processing of partial rewriting of stored information by the issuance of the exclusive rewrite command, and seeks the load reduction of the CPU 31 by a decrease in the number of issuing commands because the read command, erase command and exclusive rewrite command do not need to be given to the flash memory, respectively and individually in such a rewriting.

**[0036]**

(3) The above embodiment example enables seeking improved efficiency of data processing as the whole computer system because the buses can be used to perform other processing after the rewrite command or the address signal and rewrite signal for the partial rewriting are input to the flash memory 34 by the CPU 31 due to the working effects of above (1), (2).

[0037]

Subsequently, another embodiment example will be illustrated.

[0038]

Another construction example of the buffer circuit 114 is shown in Fig. 6.

[0039]

The construction shown in Fig. 6 comprises an array unit 61 made by arranging multiple static memory cells into an array, an X decoder that decodes a row address signal ADX fed from the memory control circuit 112 to form a signal for driving word lines of the array unit 61 to a selection level, a Y decoder that decodes a column address signal ADY fed from the memory control circuit 112 to form a column selection signal and a data latch for latching data. If an erase unit of the memory cell array 100 is taken as 512 bytes, the storing capacity of the array unit 61 is taken as 512 bytes or more. In such construction, the rewriting of a range smaller than the erase unit of the memory cell array 100 is performed as follows.

[0040]

A flow of data rewriting is shown in Fig. 7.

[0041]

First, an exclusive rewrite command is input from the CPU 31 to the flash memory 34 to perform the partial rewriting of the flash memory 34 (step S31). This exclusive rewrite command is input into the memory control circuit 112 via the data input buffer 109 and the data input latch circuit 110 and explained there. Moreover, input is accomplished of an address signal and rewrite data for the partial rewriting (step S32). The address signal is input to the X address decoder and word driver 103, Y address decoder 104 and memory control circuit 112 via the address input buffer 101 and address input buffer 102. When writing rewrite data into the array unit 61, data reading is performed from the memory cell array 100 and a comparison is made of the rewrite data and read data from the memory cell array 100 with the memory control circuit 112 (step S33). In this comparison, if the logic of data involved in the same address is the same, a logic "0" is written into the array unit 61; if the logic of data involved in the same address is the same, a logic "1" is written into the array unit 61. After such a data comparison, shunting is performed of the stored data of the memory cell array 100 (step S34). The destination of data shunting in this case is taken as data latch 64. Moreover, if the data reading from the array unit 61 is performed and the data read from this array unit 61 is the logic "0", it means that the logic of rewrite data and the logic of shunt data from the memory cell array 100 are equal, therefore the shunt data from the memory cell array 100 are written into corresponding bits of the data latch 64 in an intact state. In contrast, when the data read from the array unit 61 is the logic "0", it means that the logic of rewrite data and the logic of shunt data from the memory cell array 100 are different, therefore the logic of corresponding bits of the shunt data from the memory cell array 100 is inverted to write the data into the data latch 64. Then, the data latched in this data latch 64 is written into the array unit 61.

[0042]

Thus, if the logic of the data read from the array unit 61 is "0", the shunt data from the memory cell array 100 is written into the array unit 61 once they are latched in the data latch 64 in an intact logic state; if the logic of the data read from the array unit 61 is "1", the logic of the shunt data from the memory cell array 100 is inverted to write the data into the array unit 61 once they are latched in the data latch 64. By repeating a series of such operations in 512 bytes, the data inside the array unit 61 reflects the rewritten data in the shunt data from the memory cell array 100.

**[0043]**

Next, the data-shunted area under the control of the memory control circuit 112 is erased in the above step S34 (step S35), afterward the stored data of the array unit 61 is written into the area involved in the above erase (step S36). The stored data of the array unit 61 are not the data of the erase unit (512 bytes) themselves read from the above memory cell array 100 but are data partially replaced by a rewrite data (1 byte) externally incorporated, therefore the 1-byte rewriting of the memory cell array 100 is completed by the data write back of step S36.

**[0044]**

As described above, even if the buffer circuit 114 is constructed by comprising the array unit 61, X decoder, Y decoder and data latch 64, the partial rewriting of the memory cell array 100 can be performed under a simple external control by using such a buffer circuit 114, therefore the same working effects as the case of above embodiment example, such as the shortening of bus occupied time and the load reduction of CPU 31, etc. can be obtained.

**[0045]**

The invention made by the inventors were specifically illustrated above based on the embodiments, but the present invention is not restricted thereto, and of course, various modifications are possible in a range where there is no deviation from its substance.

**[0046]**

For example, a circuit having static memory cells was applied as the buffer circuit 114 in the above embodiments, but a circuit having dynamic memory cells can be applied in its place.

**[0047]**

Moreover, when a flash memory is loaded on a card storage media known as a memory card, etc. the flash memory shown in the above embodiments can also be applied as the flash memory.

**[0048]**

Furthermore, the erase unit of the flash memory was illustrated as 512 bytes in the above embodiments, but it is not restricted thereto. Then, the array unit contained in the buffer circuit 114 should have a storage capacity at least equivalent to that of the erasure unit of the flash memory, but in the case that it is more than the storing capacity equivalent to the erase unit is just as well.

**[0049]**

In the above description, a case that the invention made by the inventors is mainly applied to a computer system which is an application field taking as background thereof was described, but the present invention is not restricted thereto and can be applied to various types of data processing.

**[0050]**

The present invention can be applied on condition that there is at least one flash memory.

**[0051]**

The effects obtained by the typical invention disclosed in this application are briefly described as follows .

**[0052]**

Namely, the present invention enables shortening the bus occupied time in the case of performing the rewriting of data smaller than an erase unit and seek the load reduction of CPU by transferring data of simultaneous erase unit including data involved in the rewriting to the above storing means

according to the input of an exclusive external rewrite command, an address signal for rewriting of part and rewritten data, performing the data rewriting based on the above rewritten data in the storing means and committing the process for the partial rewriting of stored information of the memory cell array to the internal processing of the flash memory.



## **[Brief Description of the Invention]**

### **[Fig. 1]**

Block diagram of construction example of flash memory being one embodiment example of semiconductor storage device involved in the present invention.

### **[Fig. 2]**

Block diagram of construction example of buffer circuit contained in above flash memory.

### **[Fig. 3]**

Flow chart of partial rewriting of above flash memory.

### **[Fig. 4]**

Block diagram of construction example of memory cell array contained in above flash memory.

### **[Fig. 5]**

Block diagram of construction example of computer system contained in above flash memory.

### **[Fig. 6]**

Block diagram of another construction example of above buffer circuit.

### **[Fig. 7]**

Flow chart of partial rewriting of flash memory in case of using buffer circuit shown in Fig. 6.

### **[Description of the Symbols]**

|                   |                                   |
|-------------------|-----------------------------------|
| <b>21, 25, 61</b> | array units                       |
| <b>22, 26, 62</b> | X decoders                        |
| <b>23, 27, 63</b> | Y decoders                        |
| <b>24, 28</b>     | input/output circuits             |
| <b>31</b>         | CPU                               |
| <b>33</b>         | SRAM                              |
| <b>34</b>         | flash memory                      |
| <b>35</b>         | peripheral device control unit    |
| <b>36</b>         | display unit                      |
| <b>38</b>         | storage device                    |
| <b>39</b>         | keyboard                          |
| <b>64</b>         | data latch                        |
| <b>101</b>        | address input buffer              |
| <b>102</b>        | address latch                     |
| <b>103</b>        | X address decoder and word driver |
| <b>104</b>        | Y address decoder                 |
| <b>105</b>        | Y selector                        |
| <b>106</b>        | sense amplifier                   |
| <b>107</b>        | data output latch                 |
| <b>108</b>        | data output buffer                |
| <b>109</b>        | data input buffer                 |
| <b>110</b>        | data input latch                  |
| <b>111</b>        | writing circuit                   |
| <b>112</b>        | memory control circuit            |
| <b>114</b>        | buffer circuit                    |
| <b>114A</b>       | first buffer                      |
| <b>114B</b>       | second buffer                     |

**[Fig. 1]**

**[Fig. 1]**

|     |                        |
|-----|------------------------|
| 101 | AIB                    |
| 102 | address latch          |
| 103 | XADEC                  |
| 104 | Y address decoder      |
| 105 | Y selector             |
| 106 | sense amplifier        |
| 107 | data output latch      |
| 108 | data output buffer     |
| 109 | data input buffer      |
| 110 | data input latch       |
| 111 | writing circuit        |
| 112 | memory control circuit |
| 114 | buffer circuit         |

**[Fig. 2]**

**[Fig. 2]**

|        |                       |
|--------|-----------------------|
| 21, 25 | array unit            |
| 22     | X decoder             |
| 23     | Y decoder             |
| 24, 28 | input/output circuits |
| 112    | memory control unit   |

**[Fig. 5]**

**[Fig. 5]**

|    |     |
|----|-----|
| 31 | CPU |
|----|-----|

|    |                                |
|----|--------------------------------|
| 33 | SRAM                           |
| 34 | flash memory                   |
| 35 | peripheral device control unit |
| 36 | display unit                   |
| 38 | storage device                 |
| 39 | keyboard                       |

[Fig. 3]

[Fig. 3]

(a)

|     |                       |
|-----|-----------------------|
| S11 | Input rewrite command |
| S12 | Input address, data   |
| S13 | Receive data          |
| S14 | Shunt data            |
| S15 | Erase                 |
| S16 | Write back data       |
|     | End                   |

(b)

|     |                       |
|-----|-----------------------|
| S21 | Input read command    |
| S22 | Input address         |
| S23 | Shunt data, rewrite   |
| S24 | Input erase command   |
| S25 | Input address         |
| S26 | Input rewrite command |
| S27 | Input address, data   |
|     | End                   |

[Fig. 6]

**[Fig. 6]**

|     |                        |
|-----|------------------------|
| 61  | array unit             |
| 62  | X decoder              |
| 63  | Y decoder              |
| 64  | data latch             |
| 112 | memory control circuit |

**[Fig. 4]**

**[Fig. 4]**

**[Fig. 7]**

**[Fig. 7]**

|     |                       |
|-----|-----------------------|
| S31 | Input rewrite command |
| S32 | Input address, data   |
| S33 | Compare data          |
| S34 | Shunt data            |
| S35 | Erase                 |
| S36 | Write back data       |
|     | End                   |

DIALOG (R) File 351: Derwent WPI  
(c) 2002 Thomson Derwent. All rts. reserv.  
011378002 \*\*Image available\*\*  
WPI Acc No: 1997-355909/199733  
XRPX Acc No: N97-295244

Semiconductor flash memory e.g. electrically erasable programmable  
read only memory - transfers back and rewrites data eliminated by batch  
elimination unit to memory when command for external rewriting is  
input

Patent Assignee: HITACHI CHO LSI ENG KK (HISC ); HITACHI LTD  
(HITA )  
Number of Countries: 001  
Number of Patents: 001  
Patent Family:

| Patent No  | Kind | Date     | Week     |
|------------|------|----------|----------|
| JP 9147581 | A    | 19970606 | 199733 B |

Local Applications (No Type Date): JP 95326462 A 19951121  
Priority Applications (No Type Date): JP 95326462 A 19951121

Abstract (Basic): JP 9147581 A

The memory has a memory-cell array on which a number of flash  
memory cells are arranged. Data contained in the memory-cell array may  
be eliminated as a batch by a batch elimination unit.

When a command for external rewriting is input, data eliminated  
by the batch elimination unit is transferred back and rewritten in the  
memory based on a data memory capacity.

ADVANTAGE - Shortens bus occupancy time when rewriting data  
to memory.

Dwg.1/7

**FH 009049**